

PATENT

Customer No. 31561
Attorney Docket No.: 07558-US-PA

2186 #3
2-28-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

in re application of

Applicant : Ching-Fang Yen et al.
Application No. : 10/064,916
Filed : 2002/8/29
For : MULTI-MEMORY ARCHITECTURE AND ACCESS
CONTROLLER THEREFOR
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

RECEIVED

OCT 22 2002

Technology Center 2100

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 90121825,
filed on: 2001/9/4.

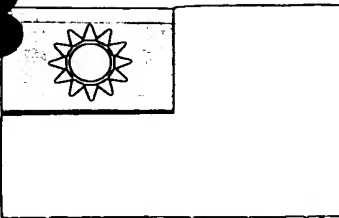
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: October 15, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



RECEIVED
OCT 22 2002

Technology Center 2100

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 09 月 04 日
Application Date

申請案號：090121825
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

RECEIVED

OCT 22 2002

Technology Center 2100

局長

Director General

陳明邦

發文日期：西元 2001 年 10 月 02 日
Issue Date

發文字號：09011014707
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	記憶體架構及其所使用的控制器
	英 文	
二、發明 創作人	姓 名	1 閻慶芳 2 徐曉陽 3 倪福隆
	國 籍	中華民國
	住、居所	1 台北縣新莊市豐年里 14 鄰豐年街 100 巷 8 號 2 新竹市建華里學府路 18 巷 26 號 3 新竹市湳雅街 311 巷 66 弄 7 號 2 樓
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區力行路十六號
	代 表 人 姓 名	胡定華

裝

訂

線

四、中文發明摘要（發明之名稱：記憶體架構及其所使用的控制器）

一種記憶體架構及其所使用的控制器。此記憶體架構一次所能讀取的記憶體範圍稱為總體記憶容量。此記憶體架構包括容量為第一記憶容量的第一記憶體，與容量為第二記憶容量的第二記憶體。且第一記憶體之記憶容量為特定之固定容量時所實際使用的腳位數為第一使用腳位數，而第二記憶體之記憶容量為固定容量時則實際使用數量為第二使用腳位數的腳位。其中，第一使用腳位數大於第二使用腳位數，且此記憶體架構的總體腳位數符合第一記憶體之記憶容量為總體記憶容量時的總體腳位數。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

五、發明說明(/)

本發明是有關於一種記憶體架構及其所使用的控制器，且特別是有關於一種整合多種記憶體於一體的一種記憶體架構及其所使用的控制器。

高密度的快閃記憶體(FLASH memory)已在很多應用方面使用，如可攜式電話(Mobile phone)及個人數位助理器(PDA)。其中，快閃記憶體主要是用來儲存程式碼，資料碼(如文字字型，影像，聲音等)及個人的資料(如電話號碼)。而由於系統穩定後，程式碼及資料碼已經固定，所以以高密度快閃記憶體來儲存程式碼及資料碼，並不符合經濟效益。藉由減少快閃記憶體的容量需求，而只將快閃記憶體用來儲存會產生變動的個人資料，可降低整個裝置的成本。因此，一種同時包括快閃記憶體及遮罩式唯讀記憶體(Mask ROM)的記憶體架構，有實際上存在的必要。

習知整合兩種記憶體的記憶體架構包括一快閃記憶體及一靜態隨機存取記憶體(SRAM)，並將此兩種記憶體包含在同一封裝中。此記憶體的架構特徵在於，快閃記憶體及SRAM共同分享位址線及資料線，但是各自擁有自己的控制線及電源線，因此，結合成的記憶體架構的腳位與快閃記憶體不同，無法與快閃記憶體相容。

因此由上述所知，習知之技術具有以下缺點：

1. 因總體腳位數的不同，而產生相容性的問題，使印刷電路板需要重新佈局。
2. 由於控制訊號及電源訊號的不同，軟體方面必須改寫。

五、發明說明(2)

有鑑於此，本發明提供一種記憶體架構及其所使用的控制器。此種記憶體架構，係由兩種記憶體組合而成，但是以其中一種記憶體的總體腳位數為此記憶體架構的總體腳位數，且此兩種記憶體使用相同的控制線及電源線，因此可以達到消除相容性的問題及使軟體不需改寫的目的。

為達成上述目的，本發明提出一種記憶體架構，此記憶體架構一次所能讀取的記憶體範圍稱為總體記憶容量，且此記憶體架構之記憶容量為總體記憶容量時具有總體腳位數，此總體腳位數為此記憶體架構之使用腳位數與未使用腳位數的和。此記憶體架構包括容量為第一記憶容量的第一記憶體，與容量為第二記憶容量的第二記憶體。且第一記憶體之記憶容量為特定之固定容量時具有數量為第一使用腳位數的腳位，而第二記憶體之記憶容量為固定容量時則具有數量為第二使用腳位數的腳位。其中，第一使用腳位數大於第二使用腳位數，且此記憶體架構的總體腳位數符合第一記憶體之記憶容量為總體記憶容量時的第一總體腳位數。

在本發明之一較佳實施例中，第一記憶容量與第二記憶容量之總和與該總體記憶容量相同。

在本發明的另一較佳實施例中，第二記憶容量大於第一記憶容量，且第二記憶體具有記憶容量分別與第一記憶容量相當之數個儲存區。此第一記憶體係用以取代第二記憶體之儲存區中的一個，以使讀取此記憶體架構時所能讀取的範圍為第一記憶體與第二記憶體除被第一記憶體所替

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

換之儲存區外的數個儲存區。而且被第一儲存區所替換的儲存區可替代第二記憶體之儲存區中，除被第一記憶體所替換的儲存區之外的任一個儲存區。此外，尚可包括至少一個第二記憶體替換儲存區，而每一個第二記憶體替換儲存區的記憶容量係與上述的儲存區相當。任一個第二記憶體替換儲存區可替代一個上述的儲存區，以使此記憶體架構所能讀取的範圍為上述之第一記憶體、用以替換儲存區的至少一個第二記憶體替換儲存區，以及儲存區中未被前述兩者所替換的部分。

在本發明的另一較佳實施例中，此記憶體架構更包括至少一個替換記憶體，此替換記憶體之記憶容量與第二記憶容量相同。當讀取此記憶體架構之時，讀取之範圍為第二記憶體或一個上述替換記憶體所形成之讀取記憶體中未被第一記憶體替換的儲存區，以及上述的第一記憶體。

在本發明的又一個較佳實施例中，此記憶體架構不但具有至少一個替換記憶體，更具有至少一個第二記憶體替換儲存區。其中，第二記憶體本身或替換整個第二記憶體的替換記憶體如上被稱為讀取記憶體，而第二記憶體替換儲存區則用以替換上述讀取記憶體中的部分儲存區，以使得讀取此記憶體架構時所能讀取的範圍為上述之第一記憶體、替換讀取記憶體中部分儲存區所用的第二記憶體替換儲存區，以及讀取記憶體中未被第一記憶體與第二記憶體替換儲存區所替換的部分儲存區。

本發明還提供一種記憶體架構，此記憶體架構包括具

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

有第一容量的第一記憶體，以及具有第二容量的第二記憶體。其中，此記憶體架構之總體腳位數符合第一記憶體於總體記憶容量時的第一總體腳位數。

本發明另外還提供一種記憶體架構所使用的控制器，其適用於具有第一記憶體與第二記憶體的記憶體架構中。此控制器具有區塊辨識單元，命令辨識單元，以及記憶體選擇單元。其中，區塊辨識單元根據所輸入之存取位址而輸出記憶體存取訊號。命令辨識單元則根據所輸入之控制訊號輸出一個記憶體模式訊號。記憶體選擇單元即根據此記憶體存取訊號與記憶體模式訊號以決定存取第一記憶體或第二記憶體。

在本發明之一較佳實施例中，記憶體架構所使用的控制器的區塊辨識單元具有第一記憶體位址暫存器及第一比較器。其中，第一記憶體位址暫存器係用以儲存可辨識用以表示第一記憶體之位址的辨識第一記憶體位址位元。第一比較器係用以比較該辨識第一記憶體位址位元與所輸入之存取位址中對應於該辨識第一記憶體位址位元的部分位元，並根據比較結果輸出一比較訊號。

在本發明的一個較佳實施例中，此控制器還具有一個取代儲存區暫存器，第二比較器，虛擬儲存區暫存器以及一個多工器組。其中，定義辨識取代儲存區位址位元為可辨識用以表示第二記憶體中被第一記憶體所取代之儲存區所要取代的第二記憶體之儲存區的位址。取代儲存區暫存器則係用以儲存此辨識取代儲存區位址位元。第二比較器

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

則比較辨識取代儲存區位址位元與存取位址中對應於辨識取代儲存區位址位元的部份，並根據比較所得的結果輸出一個致能訊號。虛擬儲存區暫存器用以儲存辨識第一記憶體位址位元。而多工器組則根據上述的致能訊號，將辨識第一記憶體位址位元或存取位址之相對應位元傳送到解碼器。

此外，控制器還可以包括一個介面電路，此介面電路則係用以更動上述之第一記憶體位址暫存器，取代儲存區暫存器與虛擬儲存區暫存器三者中至少一個的儲存內容。

在本發明的另一個較佳實施例中，此控制器除了區塊辨識單元，命令辨識單元，以及記憶體選擇單元之外，還具有取代儲存區暫存器，第二比較器，交換儲存區暫存器，以及多工器組。其中，取代儲存區暫存器用以儲存前述之辨識取代儲存區位址位元。第二比較器則比較此辨識取代儲存區位址位元與存取位址中對應於此辨識取代儲存區位址位元的部份，並根據比較所得的結果輸出致能訊號。交換儲存區暫存器儲存辨識第一記憶體位址位元與表示替換記憶體之編號的一個替換編號。其中，替換記憶體係用以替換第二記憶體。而多工器組則根據此致能訊號以將交換儲存區暫存器中所儲存之辨識第一記憶體位址位元或所輸入之存取位址之相對應位元傳送到解碼器。

綜上所述，本發明藉由控制訊號及總體腳位數的整合，再加上本發明所設計的可選擇任一種記憶體之存取位址的控制器，可使由兩種記憶體所組成的記憶體架構的總

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

體腳位數能與其中一種記憶體總體腳位數相符。因此，本發明可以解決之前多種記憶體組成新記憶體架構時所產生的總體腳位數不符而導致電路必須重新設計的問題。

為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

圖式簡單說明：

第 1 圖繪示的是根據本發明之記憶體架構之一較佳實施例的電路方塊圖；

第 2 圖繪示的是根據本發明之記憶體架構之一較佳實施例的記憶體配置方塊圖；

第 3 圖繪示的是根據本發明之記憶體架構所使用之控制器之一較佳實施例的方塊圖；

第 4 圖繪示的是根據本發明之記憶體架構所使用之控制器之一較佳實施例的電路圖；

第 5 圖繪示的是根據本發明之記憶體架構之另一較佳實施例的一記憶體配置方塊圖；

第 6 圖繪示的是根據本發明之記憶體架構所使用之控制器之另一較佳實施例的電路圖；

第 7 圖繪示的是根據本發明之記憶體架構之再一較佳實施例的一記憶體配置方塊圖；

第 8 圖繪示的是根據本發明之記憶體架構之再一較佳實施例的另一記憶體配置方塊圖；

第 9 圖繪示的是根據本發明之記憶體架構之再一較佳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

實施例的再一記憶體配置方塊圖；以及

第 10 圖繪示的是根據本發明之記憶體架構所使用之控制器之再一較佳實施例的電路圖。

重要元件標號：

20，50，70，80，90：記憶體架構

100，22，52，72，82，92：遮罩式唯讀記憶體

102，24，54，74，84，94：快閃記憶體

208，508，708，808，908：快閃記憶體儲存區

200-206，500-507，700-707，709，800-807，800'-807'，
900-907，900'-907'，909，910：遮罩式唯讀記憶體之儲存區

104，210，210a，510，510a，710，810，810a，912：控制器

30：區塊辨識單元

32：命令辨識單元

34：記憶體選擇單元

402，606，1006：第一記憶體位址(FS)暫存器

404，620：比較器

602：取代儲存區(RS)暫存器

604：虛擬儲存區(VS)暫存器

608，1008：控制器部分電路

610：介面電路

612：多工器組

614，616，618：緩衝器

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

1004：交換儲存區(SS)暫存器

較佳實施例：

在說明實施例之前必須注意的是，在以下的實施例中雖然爲了方便起見僅以快閃記憶體與遮罩式唯讀記憶體(Mask ROM)爲例說明，但熟知此技藝者當知，只要是以兩種不同的記憶體組合成一個記憶體架構，而想以符合其中一種記憶體的總體腳位數爲此記憶體架構之總體腳位數的狀況，就可以本發明適用之。其中總體腳位數爲使用腳位數與未使用腳位數的和。使用腳位數包括位址、資料、控制、電源及接地等訊號所使用的腳位數。而未使用腳位數是不需連接至其它地方的腳位數。換言之，本發明對熟悉此技藝者而言，當可適用於以兩種不同的記憶體組合成一個記憶體架構的狀況，而非僅能限定於快閃記憶體與遮罩式唯讀記憶體的組合上。

第 1 圖繪示的是本發明所提供之記憶體架構的一個較佳實施例的電路方塊圖，此記憶體架構包括記憶體容量爲 64M 位元的 Mask ROM 100、記憶體容量爲 8M 位元的快閃記憶體 102、以及控制器 104。此記憶體架構的特徵在於其腳位配置必須與 64M 位元的快閃記憶體所使用的腳位配置完全相同。而在此記憶體架構之中的控制器，則是用來決定以哪一種記憶體存取資料。

請參照第 2 圖，其繪示的是根據本發明之記憶體架構之一較佳實施例的記憶體配置方塊圖。在第 2 圖中，讀取範圍爲 64M 位元的記憶體架構 20 包括記憶體容量爲 56M

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

位元 Mask ROM (22)、記憶體容量為 8M 位元的快閃記憶體 24、以及控制器 210。其中以快閃記憶體 24 之儲存區 208 之大小做為 Mask ROM (22)分區的標準，也就是每個分區為 8M 位元。因此，記憶體架構 20 可分為 8 個儲存區，這 8 個儲存區是透過儲存區位址中的最高三個位元(PA21，PA20 及 PA19)做解碼。其中，Mask ROM (22)被分為 7 個儲存區(圖中標號為 200 至 206)，當存取到標號為 207 的儲存區時，在此記憶體架構 20 之下就會轉而存取由快閃記憶體 24 所提供的 8M 記憶體空間(標號 208)。

在以兩種記憶體組合而成的新記憶體架構下，當兩種記憶體的容量總和與外界讀取新記憶體架構時所看到的總體記憶容量相同，則此新記憶體架構所使用之控制器的一個較佳實施例可以第 3 圖繪示的方塊圖表示。在本實施例中，控制器包含三個部分：(1)區塊辨識單元 30，用以根據所輸入之存取位址輸出相對應的記憶體存取訊號；(2)命令辨識單元 32，用以根據所輸入之控制訊號輸出記憶體模式訊號；以及(3)記憶體選擇單元 34，其根據上述的記憶體存取訊號與記憶體模式訊號，決定存取兩種記憶體的其中一種。

第 4 圖繪示的是根據本發明，而以快閃記憶體與 Mask ROM 所組成之記憶體架構所使用之控制器之一較佳實施例的電路圖。其中，如第 3 圖中的區塊辨識單元 30 在第 4 圖中包含以下兩個部分：(1)第一記憶體位址儲存區(以下簡稱 FS)暫存器 402，用來儲存可辨識用以表示快閃記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

體 24 之位址的一組辨識第一記憶體位址位元，在本實施例中則是指代表快閃記憶體儲存區 208 之位址的最高三個位元的值。(2)比較器(Comparator)404，用來比較所輸入之存取位址中的最高三個位元(PA21，PA20 及 PA19)與 FS 暫存器 302 的值，並根據比較的結果輸出前述的記憶體存取訊號。

控制器 210a 的運作情形如下：在 FS 暫存器 402 中儲存代表快閃記憶體儲存區之位址的最高三個位元的值，並於接收到外界存取此記憶體架構的位址時，由比較器 404 比較所接收到的位址中最高的三個位元與 FS 暫存器中的值是否相同。當相同時且命令致能訊號(Command Enable，以下簡稱 CE#)為低位準時，無法讀取 Mask ROM，並產生快閃記憶體命令致能訊號(Command enable FLASH，簡稱 CE_F)，以存取快閃記憶體。相反地，當比較器 404 比較所接收到的位址中最高的三個位元與 FS 暫存器中的值不同且 CE#為低位準時，則允許存取 Mask ROM 中的儲存區。此外，當 CE#命令致能訊號且寫入致能訊號(Write Enable，簡稱 WE#)同時為低準位時，例如將寫入(program)或清除(erase)的命令傳送至快閃記憶體，故 Mask ROM 不允許被讀取。在本實施例中，CE#與 WE#即為第 3 圖中所述之控制訊號，而後續的訊號處理部分則包括了第 3 圖中的命令辨識單元 32 與記憶體選擇單元 34。

為使上述的實施例更顯而易懂，以下列的例子來做說明。請同時參照第 2 圖，當 FS 暫存器 402 的值是(1，1，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (|)

1)，如果 (PA21, PA20, PA19) 的位址也是 (1, 1, 1)，則存取快閃記憶體儲存區 208；如果 (PA21, PA20, PA19) 的位址是 (1, 1, 0)，則存取 Mask ROM 的儲存區 206。其存取資料的區域與輸入位址之間的關係可詳如以下列表 (假設 FS 暫存器 706 的值為 7)：

Input Address	存取資料的區域
0-6	0-6 (Mask ROM)
7	7 (FLASH)

接下來請參照第 5 圖，其所繪示的是根據本發明之記憶體架構之另一較佳實施例的的一記憶體配置方塊圖。在此請注意，由於在之後的實施例中都是以快閃記憶體與 Mask ROM 為例子，因此將以新記憶體架構稱呼之後的記憶體架構。在第 5 圖中，讀取範圍為 64M 位元的新記憶體架構 50 包括記憶體容量為 64M 位元的 Mask ROM (52)、記憶體容量為 8M 位元的快閃記憶體 54、以及控制器 510。在此記憶體架構下，快閃記憶體 508 可以取代任一儲存區 (如 507)，而其所使用的方法則與第 2 圖所示的記憶體架構相同。而且被取代的儲存區 (507) 還可以取代其它的儲存區 (500-506)。雖然第 5 圖所繪示的記憶體配置架構中，Mask ROM 與快閃記憶體之記憶容量的總合會大於外界讀取此記憶體架構時所看到的總體記憶容量，但卻可以在設計上更有彈性。

而如第 5 圖所示的記憶體配置架構可以以第 6 圖所繪示的控制器的電路達成控制所需的功能。請參照第 6 圖，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (2)

其繪示的是根據本發明之記憶體架構所使用之控制器之另一較佳實施例的電路圖。其中，控制器部分電路 608 所執行的功能及架構與第 4 圖所示者相同，在此不予以重複贅述。在第 6 圖中的控制器 510a 與第 4 圖的新記憶體架構控制器的差異在於，(1)虛擬儲存區(Virtual Segment，簡稱 VS)暫存器 604 所儲存的是被快閃記憶體 508 所取代之儲存區 507 的位址的最高三個位元。(2)取代儲存區(Replaced Segment，簡稱 RS)暫存器 602 所儲存的則是被取代之儲存區(在本實施例中為儲存區 507)所要取代的其他儲存區(500-506)的位址的最高三個位元。(3)介面電路 610，其可用來改變 FS 暫存器 606，RS 暫存器 602 及 VS 暫存器 604 的值。(4)多工器組 612，包括三個多工器，用以將 VS 暫存器 604 中所儲存的值或存取位址中的最高三個位元(PA21，PA20，PA19)傳送至後續的解碼器 650。其中，在此實施例中，因 FS 與 VS 所儲存之資料相同，皆為儲存區(507)的位址的最高的三個位元。因此，或可以以一暫存器取代，以簡化電路。

此架構的特徵在於，當 RS 暫存器 602 所儲存的值與所輸入的存取位址經由比較器 620 的比較得到二者相同的結果的時候，就由比較器 620 輸出一個致能訊號至多工器組 612，以將 VS 暫存器中所儲存的值透過多工器組以傳送到解碼器 650 進行後續的操作。而當經由比較器 620 比較所得的結果是 RS 暫存器 602 所儲存的值與所輸入的存取位址不同時，則比較器 620 所輸出的致能訊號就會使多工

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

器組 612 選擇將所輸入的存取位址中，經由位址緩衝器 614，616 與 618 所暫存的最高三個位元(PA21，PA20，PA19)，傳輸至解碼器 650 之中。

為使其更顯而易懂，以下列的例子來做說明，當 FS 暫存器 606 與 VS 暫存器 604 所儲存的值同樣是(1,1,1)，而 RS 暫存器中所儲存的值為(1,1,0)的時候，如果(PA21，PA20，PA19)的位址也是(1,1,1)，則由於控制器部分電路 608 的運作，無論 RS 暫存器 602 所存的值為何，所存取到的都會是快閃記憶體 508。但如果(PA21，PA20，PA19)的位址與 FS 暫存器 606 的內容不同，則必須視 RS 暫存器 602 中所存的值來決定所輸入之存取位址進行存取操作的標的。如果 RS 暫存器 602 所儲存的值是(1,1,1)且(PA21，PA20，PA19)的位址是(1,1,0)，則 Mask ROM 中的儲存區 506 被存取。如果 RS 暫存器 602 所儲存的值是(1,1,0)且(PA21，PA20，PA19)的位址是(1,1,0)，則 Mask ROM 中的虛擬儲存區 507 被存取。其解碼器(Decoder)所得的資料與輸入位址，VS 暫存器 604 及 RS 暫存器 602 之間的關係可詳如以下列表(假設 FS 暫存器 606 的值為 7)：

Input Address	VS register	RS register	Decoder
0-6	7	7	0-6(Mask ROM)
7	7	7	7(FLASH)
0-5	7	6	0-5(Mask ROM)
6	7	6	7(Mask ROM)
7	7	6	7(FLASH)

五、發明說明(14)

第 7 圖繪示的是根據本發明之記憶體架構之又一較佳實施例的的一記憶體配置方塊圖。在第 7 圖中，讀取範圍為 64M 位元的新記憶體架構 70 包括記憶體容量為 72M 位元的 Mask ROM(72)、記憶體容量為 8M 位元的快閃記憶體 74、以及控制器 710。Mask ROM 中，在此記憶體架構下，除了快閃記憶體 708 可以取代任一儲存區(如 707)及被取代的儲存區 707 可以取代其它的儲存區(700-706)之外，還可以儲存區為 709(即專利範圍中所述之第二記憶體替換儲存區)來與被取代的儲存區 707 所取代之儲存區外的其它的儲存區進行交換。

第 8 圖繪示的是根據本發明之記憶體架構之再一較佳實施例的另一記憶體配置方塊圖。在第 8 圖中，讀取範圍為 64M 位元的新記憶體架構 80 包括記憶體容量為 128M 位元的 Mask ROM(82)、記憶體容量為 8M 位元的快閃記憶體 84、以及控制器 810。此架構的特徵在於，快閃記憶體 808 可以取代任一儲存區(如 807)，還可以一組額外的儲存區(即專利範圍中所述之替換記憶體 800'-807')來與儲存區 800-807 相互交換，並且快閃記憶體 808 也可以取代儲存區 807'。在交換之後，被快閃記憶體 808 取代的儲存區 807'，還可以取代其它的儲存區(800'-806')。

第 9 圖繪示的是根據本發明之記憶體架構之再一較佳實施例的再一記憶體配置方塊圖。在第 9 圖中，讀取範圍為 64M 位元的新記憶體架構 90 包括記憶體容量為 144M 位元的 Mask ROM(92)、記憶體容量為 8M 位元的快閃記憶

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(15)

體 94、以及控制器 912。此架構的特徵在於，快閃記憶體 908 可以取代儲存區 900~907 中之任一儲存區，且有一組額外的儲存區(即專利範圍中所述之替換記憶體 900'-907')可與儲存區 900-907 相互交換，快閃記憶體 908 可以取代儲存區 900'~907'中之任一儲存區'，以及在交換之後，被快閃記憶體 908 取代的儲存區 907'，可以取代儲存區(900'-906')外，還可以儲存區 909，910(即專利範圍中所述之第二記憶體替換儲存區)來與被取代的儲存區 907'所取代之儲存區外的其它的儲存區進行交換。

而如第 7、8、9 圖所示的記憶體配置架構可以第 10 圖所繪示的 controllers 的電路達成控制所需的功能。請參照第 10 圖，其繪示的是根據本發明之記憶體架構所使用之 controller 之再一較佳實施例的電路圖。由於第 7、8、9 圖的記憶體架構之 controller 具有相同的電路，所以配合第 8 圖的記憶體架構作說明。其中，controller 部分電路 1008 所執行之功能及架構與第 4 圖相同。第 10 圖之 controller 810a 與第 6 圖的 controller 510a 的差異在於：交換儲存區(Swap Segment，簡稱 SS)暫存器 1004 所儲存之內容包括兩個部分，其一是被快閃記憶體所取代之儲存區之位址的最高三個位元，另一則是用以替換儲存區 800-807 的替換記憶體的編號。在本實施例中，則分別以位元 S0-S2 與位元 S3 來表示。在此要補充說明的是，由於第 9 圖中之 Mask ROM(92)之儲存區為 18 個，已經超過第 10 圖中之 SS 暫存器 1004 所能選擇的儲存區之最高數目 16 個，所以 SS 暫存器 1004 必須

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

多加一個位元，才能達成第 9 圖的需求。以此類推，為使用更多的 Mask ROM，就必須相對應於 SS 暫存器 1004 中增加適當的位元數，以符合選擇時的需求。

此電路的運作與前述第 6 圖中的運作方式類似，現以第 8 圖為例，將其邏輯特性以下表表示。其中，假設 FS 暫存器 1006 的值為 7，且 S3=0 時代表原始的 Mask ROM(即儲存區 800-807，後稱為 L.B.)，而 S3=1 時則代表替代記憶體(前述的 800'-807'，後稱為 H.B.)：

Input Address	S3	S2-S0	RS	Decoder
0-6	0	7	7	L.B. 0-6
7	0	7	7	7(FLASH)
0-5	0	7	6	L.B. 0-5
6	0	7	6	L.B. 7
7	0	7	6	7(FLASH)
0-6	1	7	7	H.B. 0'-6'
7	1	7	7	7(FLASH)
0-5	1	7	6	H.B. 0'-5'
6	1	7	6	H.B. 7'
7	1	7	6	7(FLASH)

綜上所述，本發明具有如下的優點：

1. 由 Mask ROM 與快閃記憶體所組合而成之新記憶體架構的使用腳位數及腳位配置與快閃記憶體的使用腳位數及腳位配置完全相同，可以消除相容性上的問題。

五、發明說明 (17)

2. 由於 Mask ROM 與快閃記憶體使用相同的控制線及電源線，軟體方面不必重寫。

3. 由上述之本發明所提供的多種記憶體架構，可機動地更改記憶體的組合方式，使運用上更具彈性。

4. 藉由組合上述的多種記憶體架構，可以得到各種不同方式的記憶體組合。

在此要重複強調的是，上述實施例中雖然是以快閃記憶體與 Mask ROM 為例，但這並非是本發明的限制條件。熟知此技藝者皆可運用本發明之精神於各種不同記憶體的組合上，亦即，本發明實可運用於各種不同的記憶體組合，如快閃記憶體、Mask ROM、靜態隨機存取記憶體等等。此外，雖然在上述的實施例中提及的暫存器(如 FS 暫存器，RS 暫存器，或 SS 暫存器等)是以三個位元為其儲存內容，但實際上其精神係在於儲存足以辨識特定儲存區或特定記憶體的位址位元，而非限定一定要是三個位元才行，且也並不限定只能有三個暫存器。熟悉此技藝者當知，藉由增加暫存器的個數以及電路的小幅修改，就能夠增加所使用之某一特定記憶體的儲存區個數或所能替代之儲存區的個數。同樣的狀況也適用於所輸入之存取位址中用於比較器比較與多工器選擇的部分。

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種記憶體架構，該記憶體架構一次所能讀取的記憶體範圍為一總體記憶容量，且該記憶體架構之記憶容量為該總體記憶容量時的全部腳位為一總體腳位數，其中，該總體腳位數為一使用腳位數與一未使用腳位數的和，該記憶體架構包括：

一第一記憶體，該第一記憶體之記憶容量為一第一記憶容量，且在該第一記憶體之記憶容量為一固定容量時所實際使用的腳位數量為一第一使用腳位數；以及

一第二記憶體，該第二記憶體之記憶容量為一第二記憶容量，且在該第二記憶體之記憶容量為該固定容量時所實際使用的腳位數量為一第二使用腳位數；

其中，該第一使用腳位數大於該第二使用腳位數，且該記憶體架構之該總體腳位數不少於該固定容量為該總體記憶容量時該第一記憶體之該第一使用腳位數。

2. 如申請專利範圍第 1 項所述之記憶體架構，其中，該第一記憶容量與該第二記憶容量之總和與該總體記憶容量相同。

3. 如申請專利範圍第 1 項所述之記憶體架構，其中，該第二記憶體包括記憶容量分別與該第一記憶容量相當的多個儲存區，該第一記憶體用以取代該第二記憶體之儲存區中的一個，以使讀取該記憶體架構時所能讀取的範圍為該第一記憶體與該第二記憶體除被該第一記憶體所替換之儲存區外的儲存區。

4. 如申請專利範圍第 3 項所述之記憶體架構，其中被

六、申請專利範圍

該第一儲存區所替換的儲存區可替代該第二記憶體之儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

5.如申請專利範圍第 3 項所述之記憶體架構，更包括至少一第二記憶體替換儲存區，該第二記憶體替換儲存區之記憶容量與該第二記憶體中的儲存區相當，且該第二記憶體替換儲存區可取代該第二記憶體的儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

6.如申請專利範圍第 1 項所述之記憶體架構，更包括一替換記憶體，該替換記憶體之記憶容量與該第二記憶容量相同，且該替換記憶體包括容量分別與該第一記憶體相當的多個儲存區，該替換記憶體係用以替換該第二記憶體，以使當讀取該記憶體架構之資料時，讀取之範圍為該第二記憶體與該替換記憶體二者擇一所得之一讀取記憶體中，未被該第一記憶體所替換的儲存區，以及替換該讀取記憶體中之部分儲存區的該第一記憶體。

7.如申請專利範圍第 6 項所述之記憶體架構，其中被該第一儲存區所替換的儲存區可替代該讀取記憶體之儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

8.如申請專利範圍第 6 項所述之記憶體架構，更包括至少一第二記憶體替換儲存區，該第二記憶體替換儲存區之記憶容量與該讀取記憶體中的儲存區相當，且該第二記憶體替換儲存區可取代該讀取記憶體的儲存區中，除被該

六、申請專利範圍

第一記憶體所替換的儲存區之外的任一個儲存區。

9. 一種記憶體架構，該記憶體架構包括：

一第一記憶體，具有一第一記憶容量；以及

一第二記憶體，具有一第二記憶容量；

其中，該記憶體架構之腳位配置符合該第一記憶體於一總體記憶容量時的腳位配置。

10. 如申請專利範圍第 9 項所述之記憶體架構，其中，該第一記憶容量與該第二記憶容量之總和與該總體記憶容量相同。

11. 如申請專利範圍第 9 項所述之記憶體架構，其中，該第二記憶體包括記憶容量分別與該第一記憶容量相當的多個儲存區，該第一記憶體用以取代該第二記憶體之儲存區中的一個，以使讀取該記憶體架構時所能讀取的範圍為該第一記憶體與該第二記憶體除被該第一記憶體所替換的儲存區之外的儲存區。

12. 如申請專利範圍第 11 項所述之記憶體架構，其中被該第一儲存區所替換的儲存區可替代該第二記憶體之儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

13. 如申請專利範圍第 11 項所述之記憶體架構，更包括至少一第二記憶體替換儲存區，該第二記憶體替換儲存區之記憶容量與該第二記憶體中的儲存區相當，且該第二記憶體替換儲存區可取代該第二記憶體的儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

六、申請專利範圍

14.如申請專利範圍第 9 項所述之記憶體架構，更包括一替換記憶體，該替換記憶體之記憶容量與該第二記憶容量相同，且該替換記憶體包括容量分別與該第一記憶體相當的多個儲存區，該替換記憶體係用以替換該第二記憶體，以使當讀取該記憶體架構之資料時，讀取之範圍為該第二記憶體與該替換記憶體二者擇一所得之一讀取記憶體中，未被該第一記憶體所替換的儲存區，以及替換該讀取記憶體中之部分儲存區的該第一記憶體。

15.如申請專利範圍第 14 項所述之記憶體架構，其中被該第一儲存區所替換的儲存區可替代該讀取記憶體之儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

16.如申請專利範圍第 14 項所述之記憶體架構，更包括至少一第二記憶體替換儲存區，該第二記憶體替換儲存區之記憶容量與該讀取記憶體中的儲存區相當，且該第二記憶體替換儲存區可取代該讀取記憶體的儲存區中，除被該第一記憶體所替換的儲存區之外的任一個儲存區。

17.一種記憶體架構所使用的控制器，適用於具有一第一記憶體與一第二記憶體的記憶體架構中，該控制器包括：

一區塊辨識單元，用以根據所輸入之一存取位址輸出一記憶體存取訊號；

一命令辨識單元，用以根據所輸入之一控制訊號輸出一記憶體模式訊號；以及

六、申請專利範圍

一記憶體選擇單元，根據該記憶體存取訊號與該記憶體模式訊號，決定存取該第一記憶體與該第二記憶體二者擇一。

18. 如申請專利範圍第 17 項所述之記憶體架構所使用的控制器，其中該區塊辨識單元包括：

一第一記憶體位址暫存器，用以儲存可辨識用以表示該第一記憶體之位址的一辨識第一記憶體位址位元；

一第一比較器，用以比較該辨識第一記憶體位址位元與所輸入之該存取位址中對應於該辨識第一記憶體位址位元的部分位元，並根據比較結果輸出該記憶體存取訊號。

19. 如申請專利範圍第 17 項所述之記憶體架構所使用的控制器，更包括：

一取代儲存區暫存器，用以儲存可辨識用以表示該第二記憶體中被該第一記憶體所取代之儲存區所要取代的該第二記憶體之儲存區的位址的一辨識取代儲存區位址位元；

一第二比較器，比較該辨識取代儲存區位址位元與該存取位址中對應於該辨識取代儲存區位址位元的部份，並根據比較所得的結果輸出一致能訊號；

一虛擬儲存區暫存器，用以儲存該辨識第一記憶體位址位元；以及

一多工器組，根據該致能訊號，將該虛擬儲存區暫存器所儲存之該辨識第一記憶體位址位元與所輸入之該存取位址之相對應位元二者擇一傳送到解碼器。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

20. 如申請專利範圍第 19 項所述之記憶體架構所使用的控制器，更包括一介面電路，該介面電路係用以更動該第一記憶體位址暫存器，該取代儲存區暫存器與該虛擬儲存區暫存器三者中至少一者的儲存內容。

21. 如申請專利範圍第 19 項所述之記憶體架構所使用的控制器，更包括一位址緩衝器組，用以儲存該存取位址中與該辨識第一記憶體位址位元相對應的部份位元。

22. 如申請專利範圍第 17 項所述之記憶體架構所使用的控制器，更包括：

一取代儲存區暫存器，用以儲存可辨識用以表示該第二記憶體中被該第一記憶體所取代之儲存區所要取代的該第二記憶體之儲存區的位址的一辨識取代儲存區位址位元；

一第二比較器，比較該辨識取代儲存區位址位元與該存取位址中對應於該辨識取代儲存區位址位元的部份，並根據比較所得的結果輸出一致能訊號；

一交換儲存區暫存器，儲存該辨識第一記憶體位址位元與表示一替換記憶體之編號的一替換編號，其中，該替換記憶體係用以替換該第二記憶體；以及

一多工器組，根據該致能訊號，將該交換儲存區暫存器中所儲存之該辨識第一記憶體位址位元與所輸入之該存取位址之相對應位元二者擇一傳送到解碼器。

23. 如申請專利範圍第 22 項所述之記憶體架構所使用的控制器，更包括一介面電路，該介面電路係用以更動該

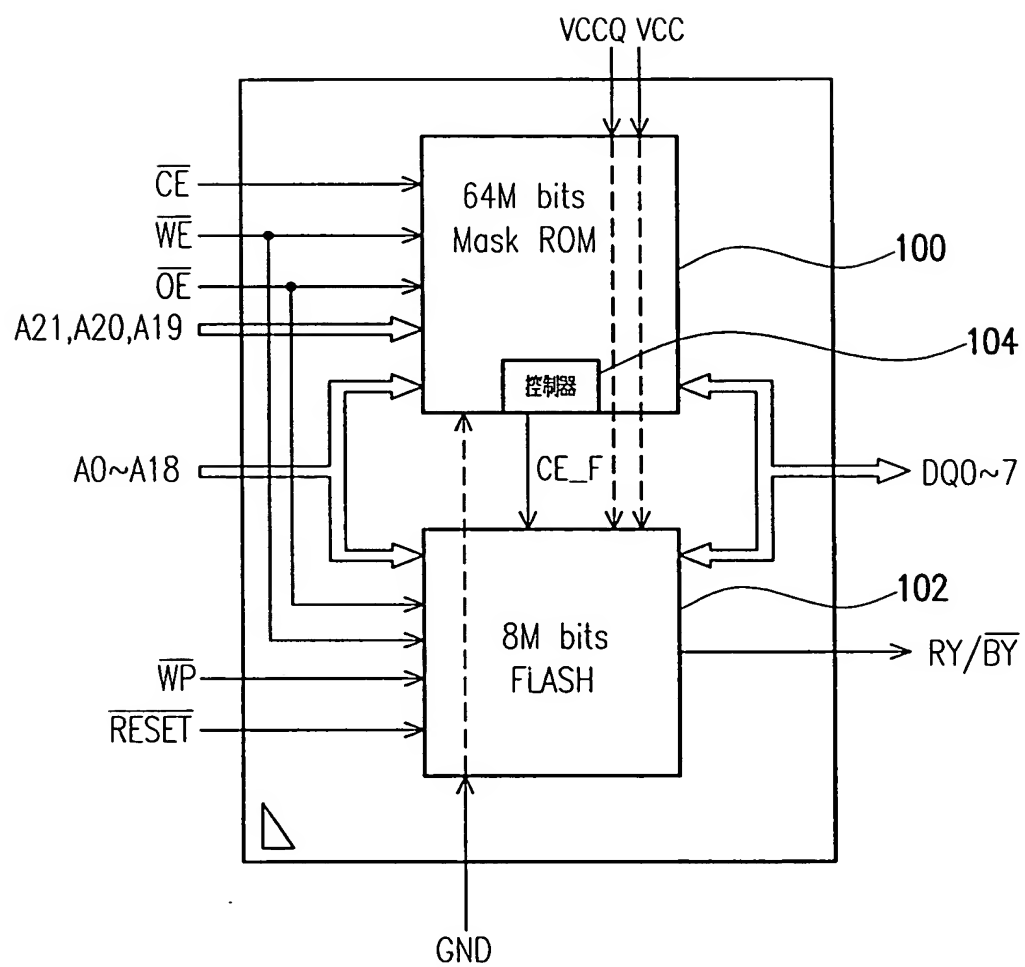
六、申請專利範圍

第一記憶體位址暫存器，該取代儲存區暫存器與該交換儲存區暫存器三者中至少一者的儲存內容。

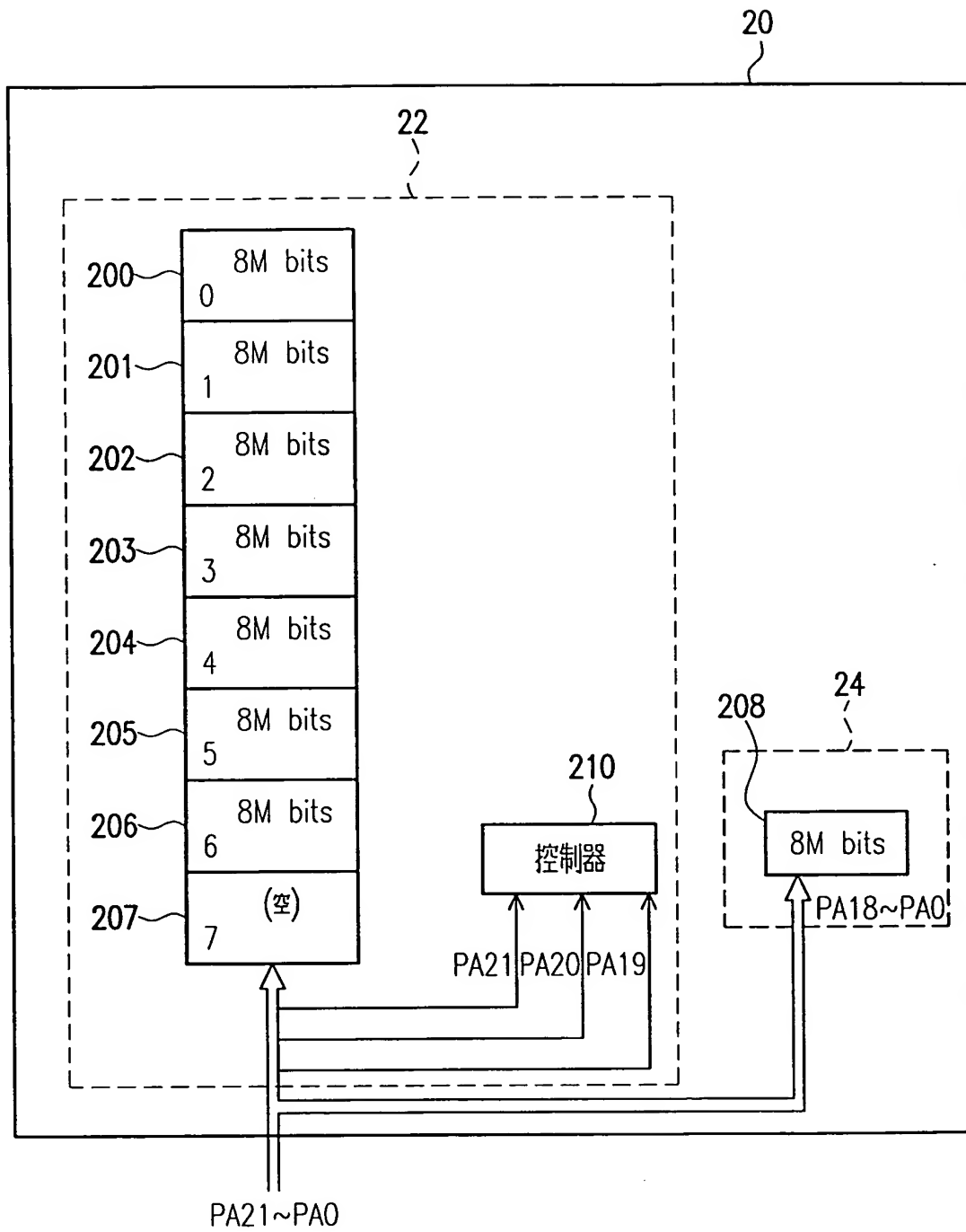
24. 如申請專利範圍第 22 項所述之記憶體架構所使用的控制器，更包括一位址緩衝器組，用以儲存該存取位址中與該辨識第一記憶體位址位元相對應的部份位元。

(請先閱讀背面之注意事項再填寫本頁)

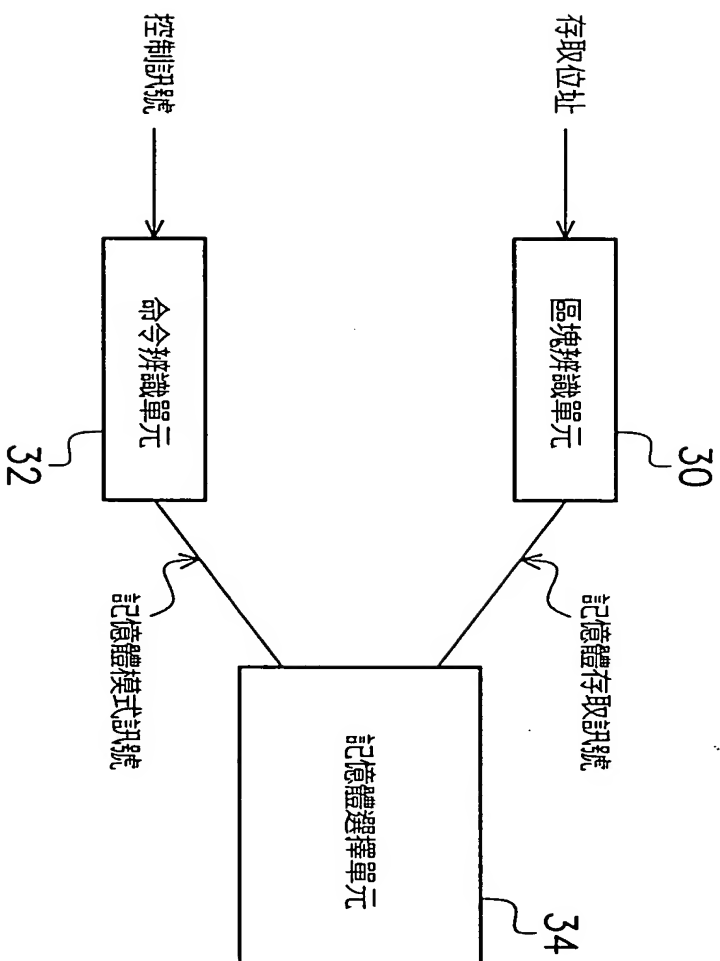
裝
訂
線



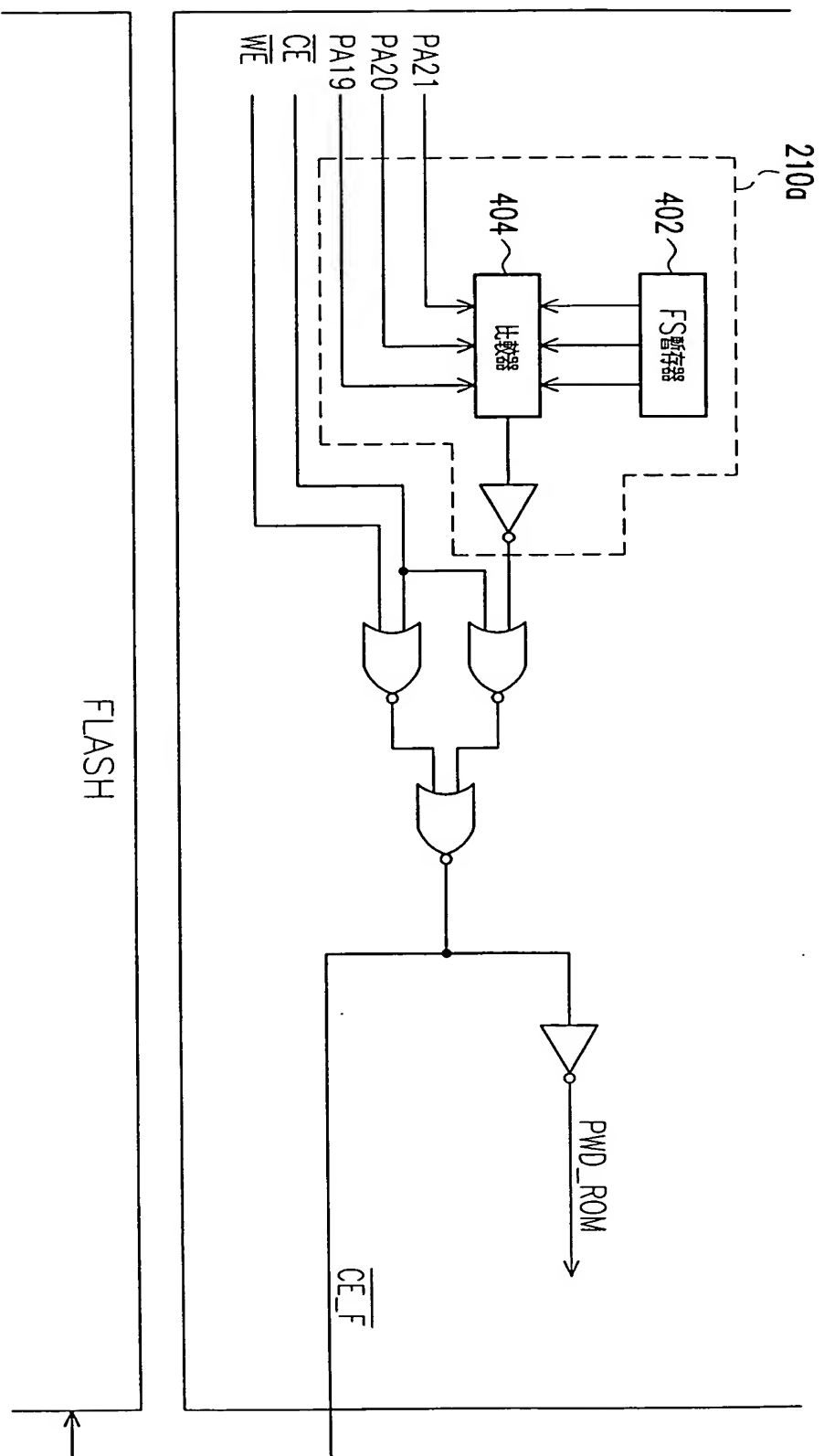
第 1 圖



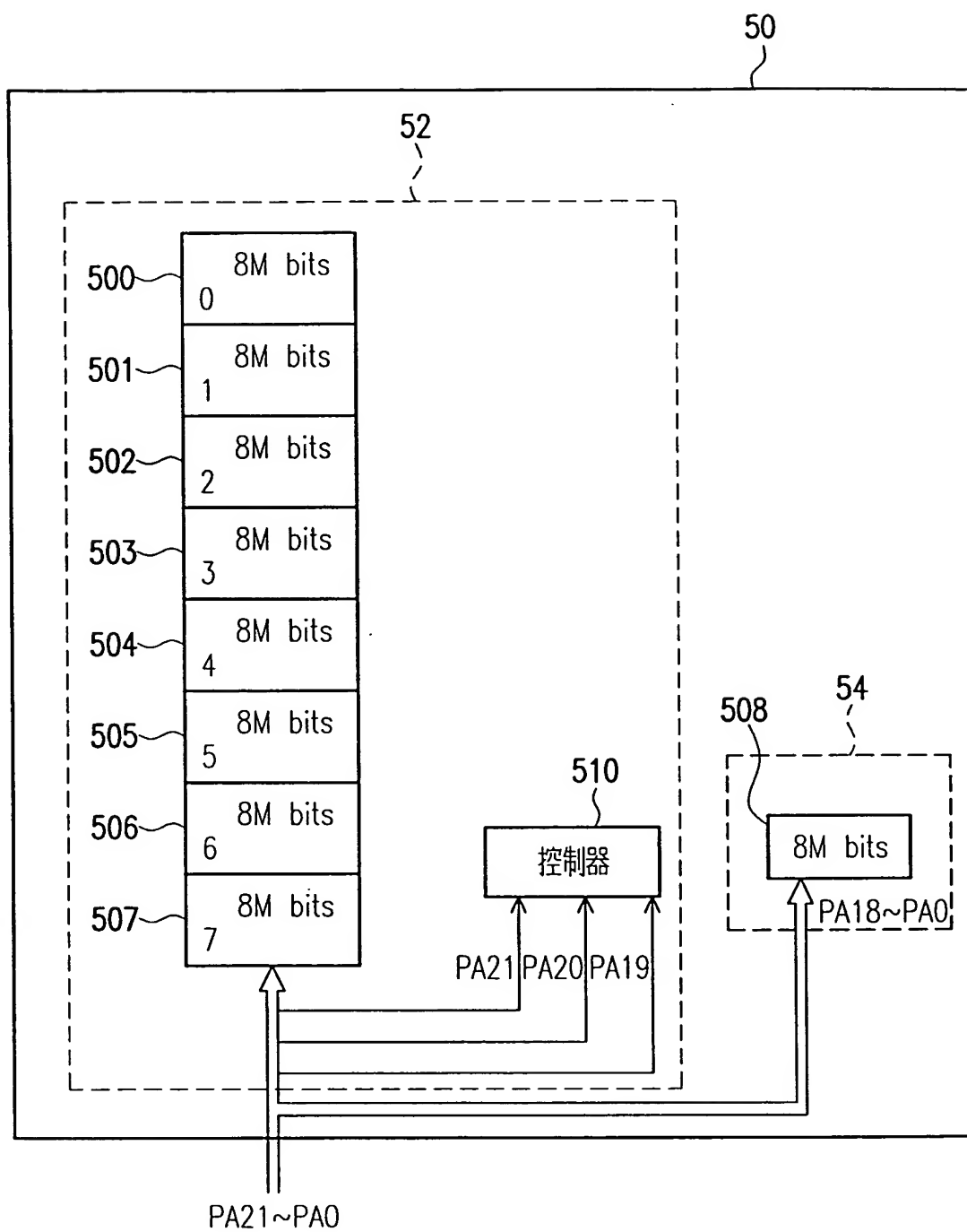
第 2 圖



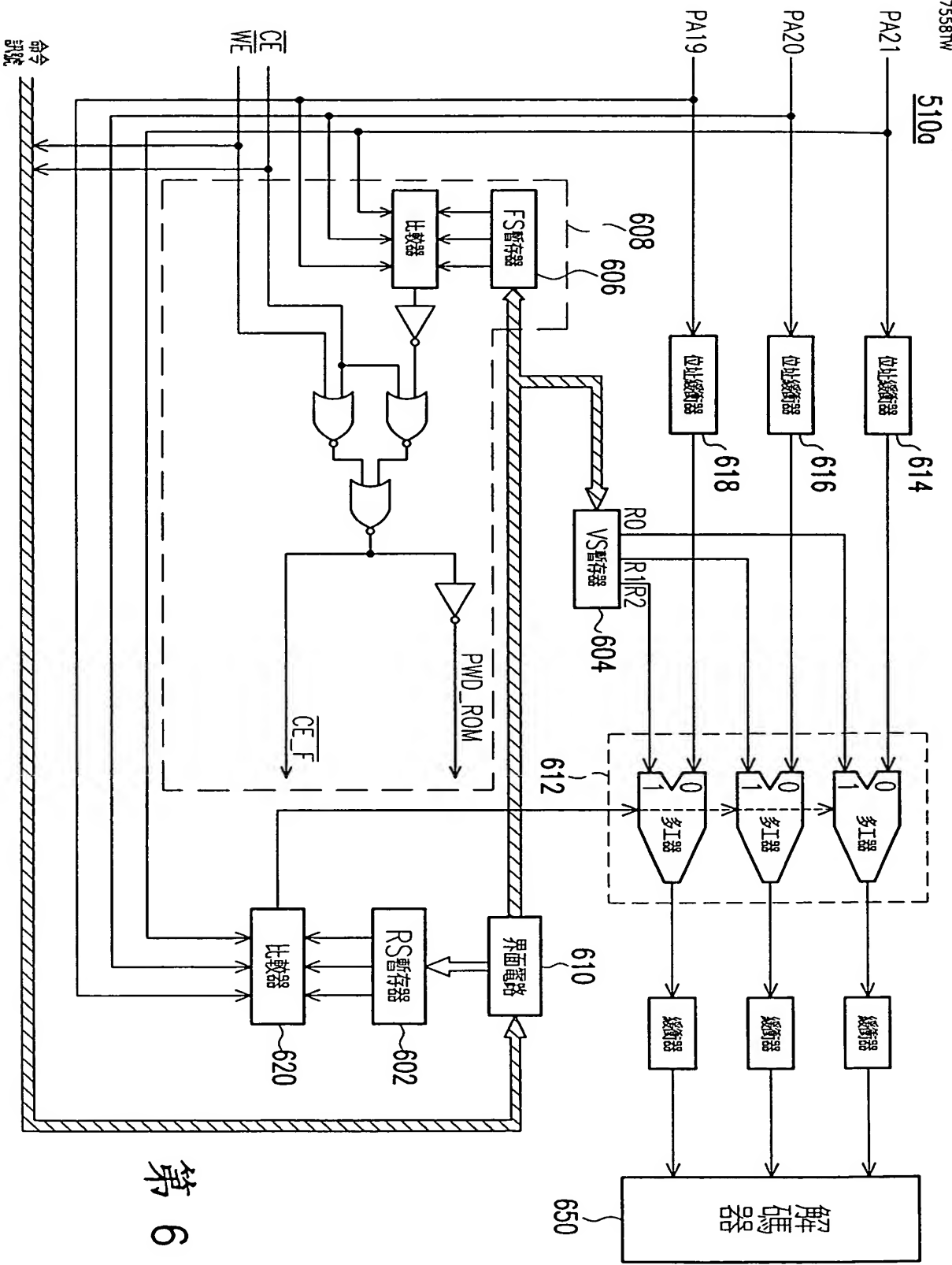
第 3 圖



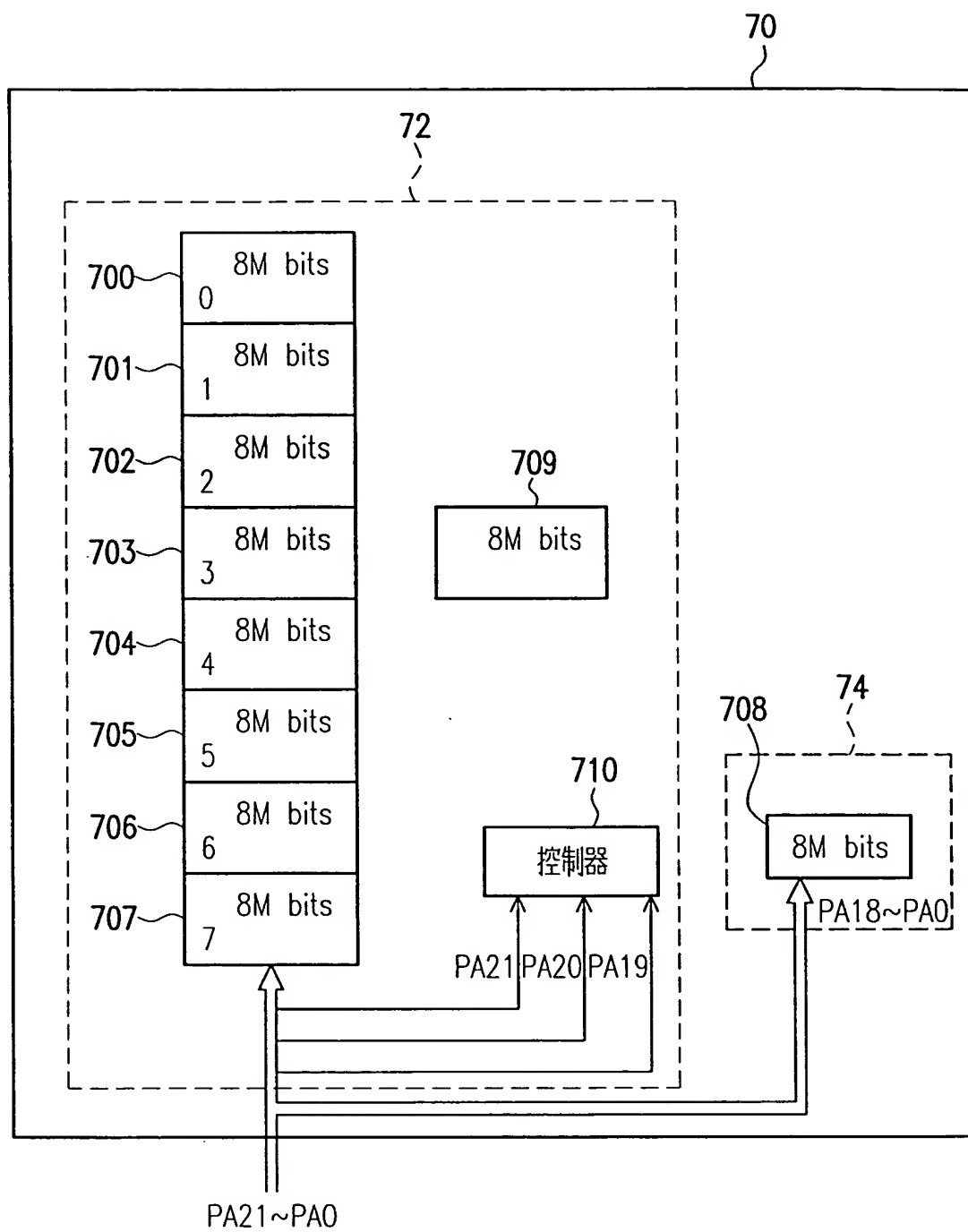
第 4 圖



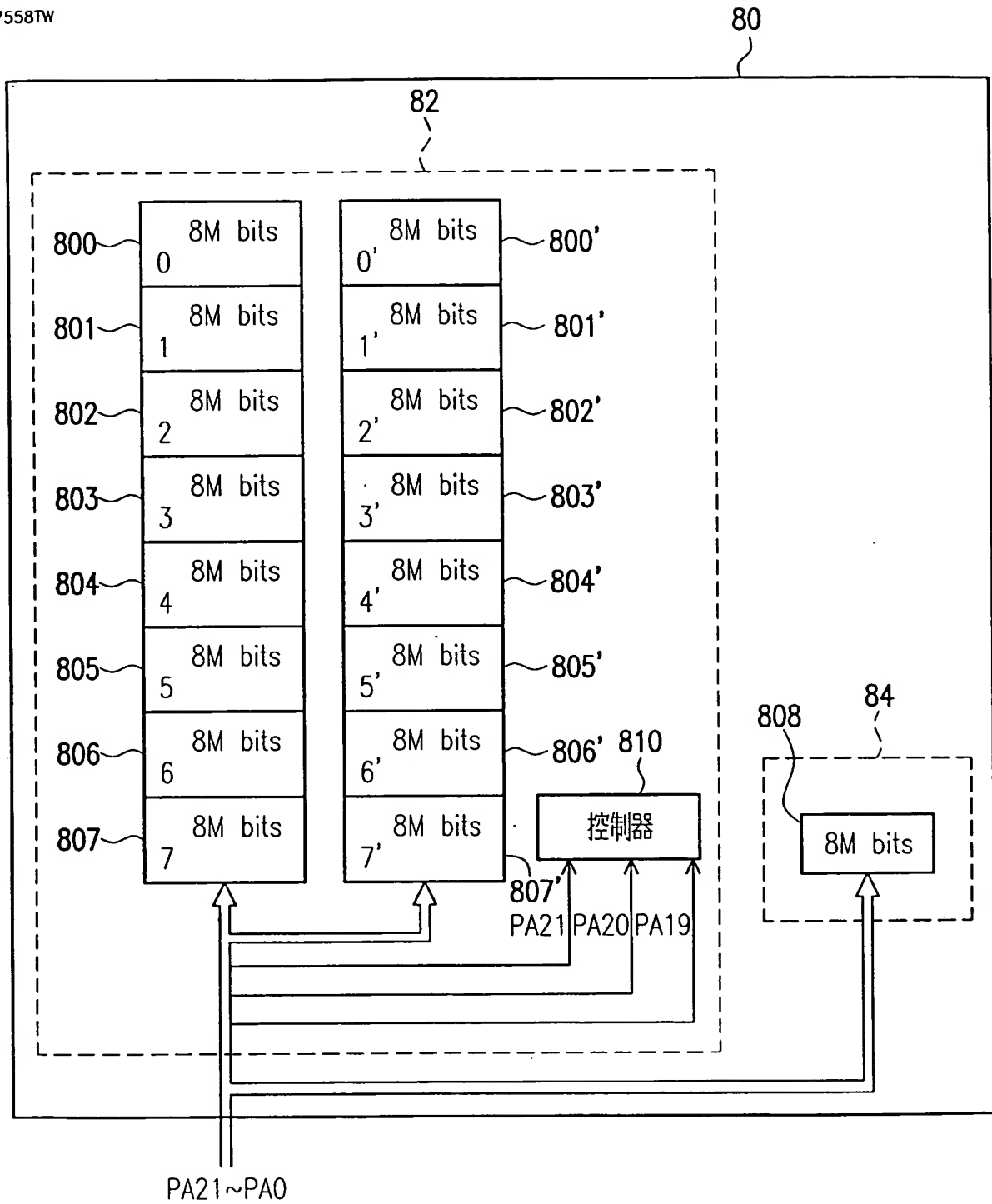
第 5 圖



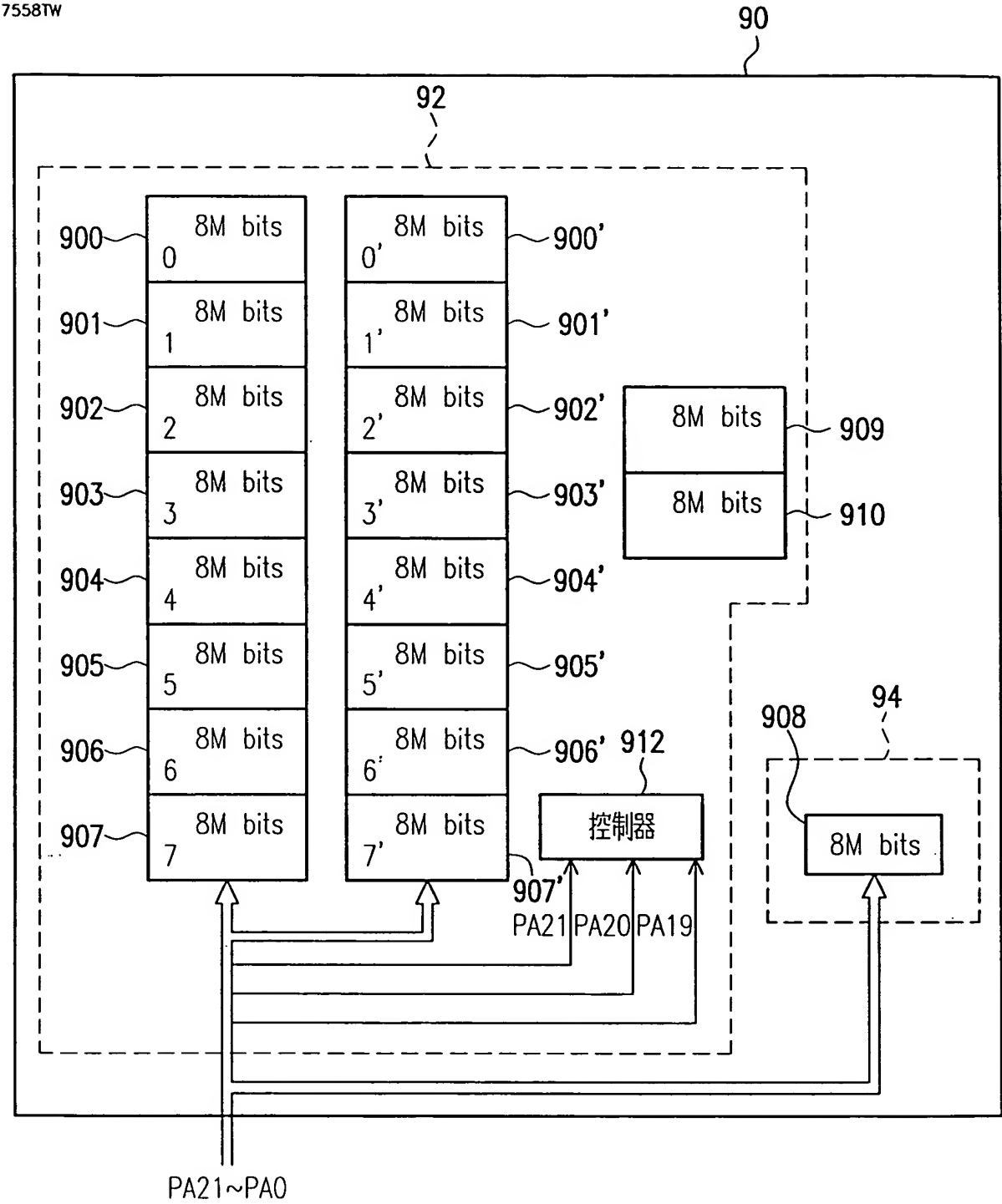
第 6 圖



第 7 圖

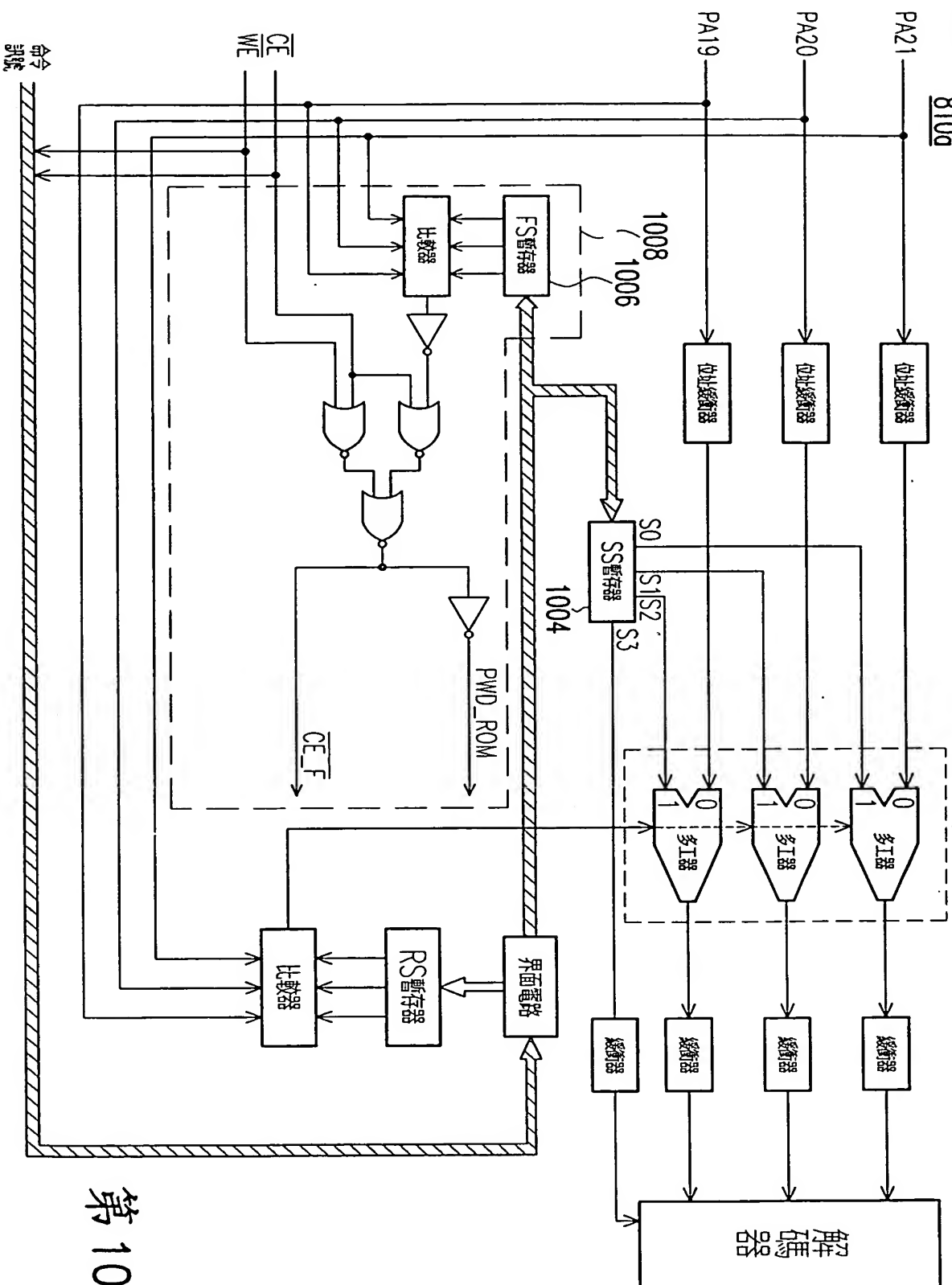


第 8 圖



第 9 圖

810a



第10圖